넓은 입력 범위의 고성능 ZVS 벅 레귤레이터

이 글은 기존의 벅 레귤레이터 토폴로지를 이용한 2개의 설계 시뮬레이션 모델을 비교하여 중간 및 높은 스위칭 주파수 환경에서 하드 스위칭의 문제점들을 살펴보고자 한다. 또한 'ZVS 벅'이라는 새로운 벅 레귤레이터 토폴로지와 이를 통합한 ZVS 벅 제품군을 소개하고자 한다. ZVS 벅 토폴로지의 여러 이점들과 동작 이론에 대해서도 설명할 것이다.

글/C. R. Swartz, 수석 엔지니어, 바이코

이 글은 기존의 벅 레귤레이터 토폴로지를 이용한 2개의 설계 시뮬레이션 모델을 비교하여 중간 및 높은 스위칭 주파수 환경에서 하드 스위칭의 문제점들을 살펴보고자 한다. 또한 'ZVS 벅'이라는 새로운 벅 레귤레이터 토폴로지와 이를 통합한 ZVS 벅 제품군을 소개하고자 한다. ZVS 벅 토폴로지의 여러 이점들과 동작 이론에 대해서도 설명할 것이다.

서론

시스템의 전반적인 효율을 개선하기 위해 설계자는 여러 변환 단계를 거치지 않고, 필요한 PoL 전압 레귤레이션을 달성할 수 있는 방법을 선택하고 있다. 이를 위해 niPOL은 이전보다 높은 변환 비율로 더 높은 입력 전압을 처리할 수 있어야 한다. 이와 더불어 niPOL은 최고의 효율을 유지하면서도 전체 전력 솔루션의 크기를 계속해서 축소시킬 수 있어야 한다.

또한 다른 모든 성능이 증가함에 따라 niPOL의 전력 요건도 더욱 증가하게 될 것이다. 전력 업계는 niPOL을 기술적으로 상당히 발전시킴으로써 이러한 과제에 대응해 왔다. 지난 몇 년 동안 업계는 디바이스 패키징과 실리콘 통합 및 MOSFET 기술을 크게 향상시킴으로써 고도로 통합된 소형 솔루션을 제공할 수 있게 되었다. 이러한 솔루션은 좁은 전압 범위에서는 동작이 우수하지만, 효율과 전력 처리량은 10:1 또는 12:1의 비교적 낮은 수준의 스텝다운 비율로 다소 저하되는데다, 더 높고, 더 넓은 입력 범위를 처리하는 경우에는 36:1에 근접하는 스텝 비율로 급격히 하락하는 경향이 있다.

지난 몇 년 동안, niPOL에 적용된 모든 변경사항 중 가장 변화가 적었던 부분은 파워트레인 토폴로지 자체였다. 물론 전류 모드 제어, 시뮬레이션 전류 모드 제어, 디지털 제어 등과 같은 수많은 제어 토폴로지가 등장하고, 동기식 정류 및 적응형 드라이버와 같은 파워트레인이 개선된 것은 사실이다. 그러나 이러한 기술들은 점진적 개선에 불과하거나 또는 추가적인 설계 복잡성을 초래하기도 했다.

하드 스위칭 벅 레귤레이터 토폴로지는 넓은 동적 동작 범위에서 전력밀도와 처리량 향상을 크게 제한한다. 전력 시스템의 크기를 줄이기 위해서는 중요 부품의 크기를 줄여야 한다. 이를 달성할 수 있는 가장 좋은 방법은 스위칭 주파수를 높이는 것이다. 하지만 하드 스위칭 토폴로지로

스위칭 주파수를 높이면, 누설 댐의 크기를 늘리는 것과 같기 때문에 이는 간단한 문제가 아니다. 기본적으로 3가지 근본적인 문제가 있다.

① **하드 스위칭(Hard Switching):** 메인 하이-사이드 스위치에 고전압이 인가되는 동안 대전류가 동시에 흐르면 주파수 및 전압에 따른 스위칭 손실이 발생하고, 넓은 동적 범위에서 동작하는데 직접적인 장애가 된다. 스위칭 속도를 위해 더 나은 성능지수(FOM: Figures of Merit)를 갖춘 차세대 MOSFET 기술은 더 빠른 스위칭이 가능하다. 빠른 스위칭은 고유의 문제를 가지고 있는데, 하드 스위칭(빠른 스위칭 포함)은 일반적으로 처리되어야 하는 EMI 및 게이트 드라이버 손상뿐만 아니라 스위칭 모드 스파이크 및 링깅을 초래한다. 이러한 문제들은 더 높은 입력 전압 및 주파수에서 확대되기 때문에 더 높은 전압 또는 주파수를 필요로 하는 더 넓은 동작 범위에서는 빠른 스위칭의 이점이 더이상 유리한 것만은 아니다.

② **바디 다이오드 도통:** 동기식 스위치 바디 다이오드의 도통은 고효율을 저하시키고, 스위칭 주파수를 제한하게 된다. 동기식 스위치 바디 다이오드는 일반적으로 하이-사이드 스위치가 켜지기 전과 동기식 MOSFET이 꺼진 후에도 약간의 도통시간을 갖는다.

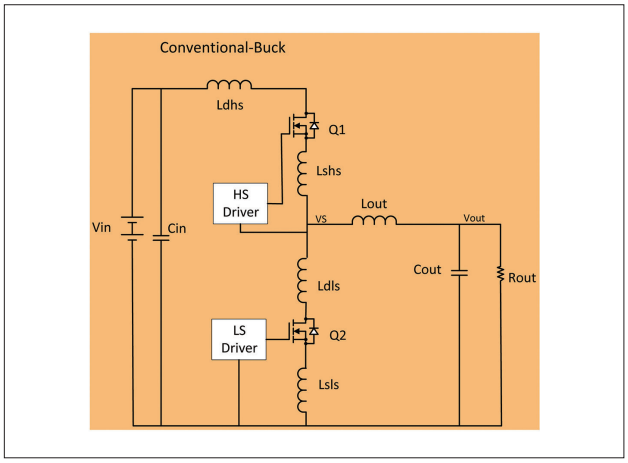
③ **게이트 드라이브 손실:** MOSFET을 고주파수로 스위칭 하면, 게이트 드라이브의 손실이 높아진다.

시뮬레이션 모델

그림 1은 전형적인 기존의 벅 토폴로지 다이어그램과 MOSFET 기생 인덕턴스 또는 PCB 트레이스 자체의 럼프 기생 인덕턴스로 나타나는 관련 기생 인덕턴스를 보여준다. 고주파수 애플리케이션에 사용될 때 이 토폴로지의 제한 요소를 그래픽으로 나타내기 위해 시뮬레이션 모델은 동급 최고의 MOSFET(해당 제조업체의 SPICE 모델)을 사용하여 구성하였다.

컨버터 설계는 36V 입력에서 동작하고, 8A 최대 부하 전류로 12V까지 스텝다운하는 것으로 가정했다. 이 시뮬레이션은 2μH 인덕터를 사용하여 650kHz로 실행되었고,

그림 1. 기존의 벅 토폴로지



1μH 인덕터의 경우 1.3MHz에서 실행되었다. MOSFET 온저항은 10mΩ이었다. 4개의 기생 인덕턴스는 LSHS 300pH로 설정되었고, 다른 인덕턴스의 값은 100pH로 설정되었다. 기생 값은 PSiP(Power-System-in-Package) 전력 설계 개념과 관련 레이아웃 기법 및 사용 가능한 패키징 기술을 기반으로 했다. 게이트 드라이버는 4Ω 소스 저항을 사용하여 링깅을 최소화하고, 더 빠른 턴오프를 위해 하이-사이드 드라이버에는 1Ω 싱크 저항을 사용했으며, 로우-사이드 드라이버에는 1Ω의 소스 및 싱크 저항을 모두 사용했다.

하드 스위칭

그림 2는 Q1(녹색), Q2(빨간색) 및 출력 인덕터 LOUT(청색)에 대한 전류 파형과 Vs 노드 전압 대비 하이-사이드 MOSFET Q1의 순시 전력 손실(Instantaneous Power Dissipation) 시뮬레이션 결과를 나타낸 것이다.

시뮬레이션 결과를 통해 턴온 시 손실이 매우 높고, 턴오프 시 손실이 다소 낮다는 것을 알 수 있다. 그 사이의 영역은 MOSFET RDS_ON 에 의해 좌우되지만 , 그 손실은 매우 낮다. 지난 몇 년 동안 MOSFET RDS_ON이 획기적으로 개선되었다. 현재 대부분의 설계에서 전도 손실이 낮아졌으며, 관리가 더욱 용이 해졌다. 스위칭 한주기동안의 손실을 살펴보면, 650kHz에서 하이-사이드 MOSFET의 평균 전력 손실은 1.5W이며, 전도 시 0.24W, 턴오프 시

0.213W, 턴온 시 1.047W가 발생하는 것으로 나타났다. 총 손실에 미치는 주요 요인은 Q1의 턴온이다.

그림 3은 하이-사이드 MOSFET Q1 턴온의 시작단을 비롯해 바로 직전까지의 영역을 보여주는 스냅샷이다. 로우-사이드 MOSFET Q2 턴오프 및 Q1 턴온 사이에는 30ns의 데드 타임이 있다. 이 데드 타임은 턴온 시 MOSFET의 교차 도통이 발생하지 않도록 하기 위한 것이다. 따라서 바디 다이오드는 출력 인덕터를 통해 전류 프리휠링(Current Freewheeling)을 정류해야 한다. Q2의 바디 다이오드는 이 시간 동안 순방향으로 바이어스되며, 전하는 다이오드의 PN 접합에 저장된다. 다이오드가 역전압을 차단하기 전에 이 전하를 제거해야 한다. 이 프로세스를 역회복이라고 한다.

그림 3을 보면, Q1의 드레인-소스 전압은 매우 높다. VIN 근처(레이아웃의 기생 인덕턴스의 영향을 받음)에서 Q2의 바디 다이오드로 매우 높은 전류가 흐른다. Q1은 Q2 바디 다이오드의 역회복 전하를 소모하는 동시에 거의 전체 입력 전압에 노출되어야 하기 때문에 피크 전력이 매우 높다. 하이-사이드 MOSFET LSHS 소스의 인덕턴스는 이 상황에 많은 도움이 되지 못한다. 이 인덕턴스는 턴온 시 역회복 전류 전압 강하로 인해 MOSFET에서 게이트 드라이브를 제거한다. 이 전압 강하가 잘못된 방향으로 전개되면, 게이트에 대한 소스 전압을 상승시키게 되며, 드라이버는 턴온 밀러 효과(Miller Effect)의 영향을 받게 된다. 그 결과 밀러 영역에서 더 긴 시간이 걸리고, 하이-사이드 MOSFET 및 드라이버의 전력 손실은 더 높아진다. 따라서 MOSFET은 Q2 바디 다이오드가 회복되고, 전압을 차단할 때까지 낮은 저항 영역으로 들어갈 수 없다. 피크 회복 전류가 최대값에 도달한 후, 재결합이 이뤄지는 시간 동안 역전류와 역전압에 동시에 노출되기 때문에 Q2 바디 다이오드에서 전력이 소모된다. 전력 손실은 재결합이 완료된 후 이 바디 다이오드에서 중단된다.

게이트 드라이브의 속도를 높임으로써 하이-사이드 MOSFET에서 전력 손실을 약간 줄일 수 있다. 그러나 Q1이 선형 영역을 더 빠르게 횡단하도록 게이트 드라이브의 속도를 높이면, 더 높은 역회복 전류가 주입되어 Q2 바디 다이오드의 역회복 속도가 더 빨라진다. 그 결과, 기생 인덕턴스에 저장된 에너지로 인해 Vs 노드가 더 빠르게 상승하게 된다. **그림 4**는 650kHz 시뮬레이션의 게이트 드라이브와 LSHS가 200 ~ 500pH로 증가 시 Q1 드라이브에 미치는 영향을 보여준다. Vs가 상승하는 동안 Q2에 범프가 나타나는 것을 알 수 있다. 이 범프는 Q2의 밀러 커패시턴스와 VS 노드의 dV/dt로 인해 Q2 게이트 드

그림 2. 650kHz 시뮬레이션 500ns/div

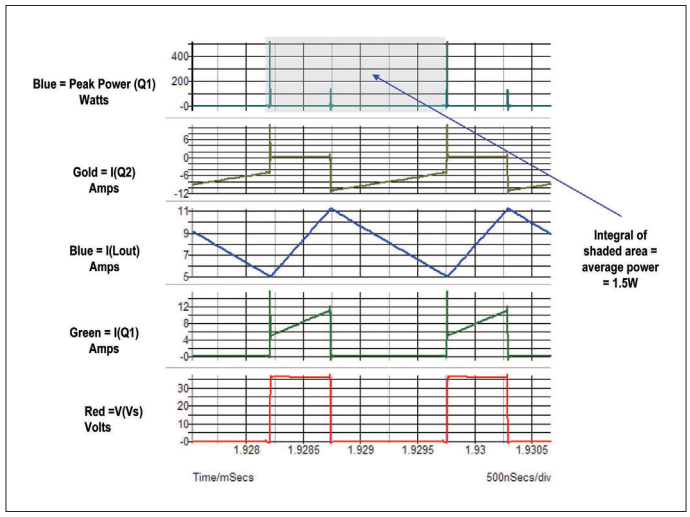


그림 3. 650kHz 시뮬레이션 20ns/div 역회복 효과

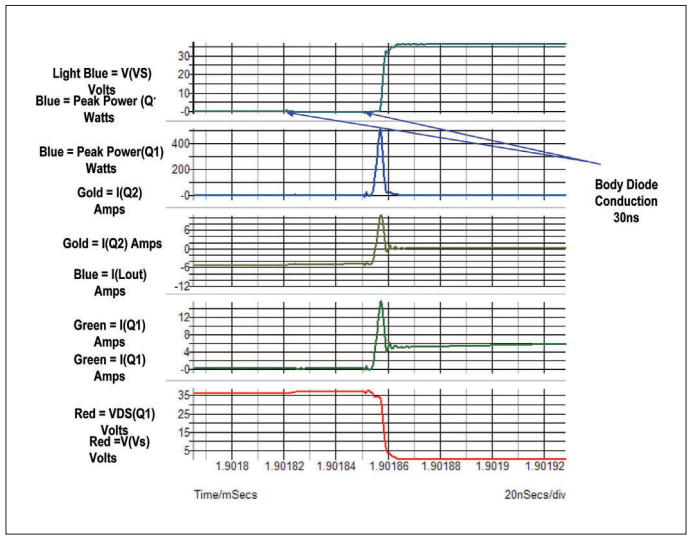
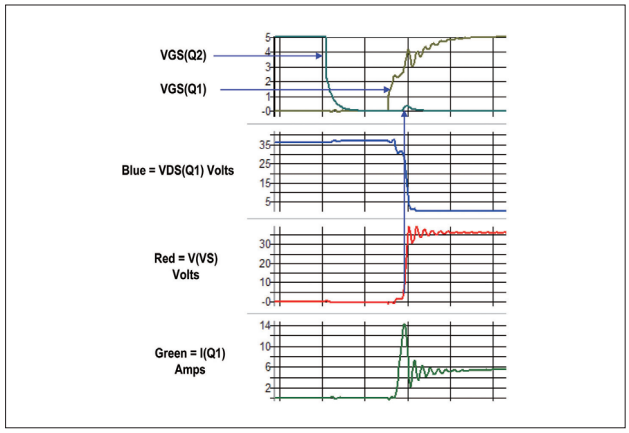


그림 4. 650kHz 시뮬레이션 20ns/div, LSHS가 500pH로 증가 시 게이트 드라이브에 미치는 영향



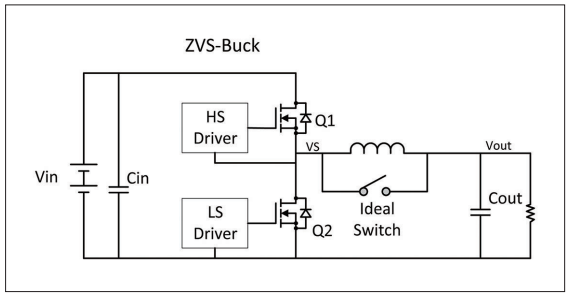
라이버와 커플링된다. Q1까지 드라이브 속도를 높일 경우 어떠한 영향이 발생할지 쉽게 상상할 수 있을 것이다. dV/dt가 빠를수록 Q2 게이트에 더 큰 범프가 발생하고, 링깅이 증가한다. Q2가 게이트 임계값이 낮은 저전압 디바이스인 경우, Q2가 게이트되어 주기적인 교차 도통을 유발할 수 있다. 이 교차 도통은 파괴적일 수도 있고, 아닐 수도 있지만, 효율은 떨어지게 된다. 또한 기생 인덕턴스에 저장된 에너지가 높을수록 MOSFET에 과도 전압이 발생할 수 있으며, 스너버 회로가 필요할 수도 있다.

더 높은 주파수 동작

기존의 벅 시뮬레이션 모델은 더 작은 출력 인덕터와 두 배의 스위칭 주파수로 동작하여 동일한 피크 전류를 유지했다. 이 모델에 다른 변경사항은 적용되지 않았다. 1.3MHz에서 시뮬레이션 된 하이-사이드 MOSFET의 총 손실은 2.73W로 증가했으며, 예상대로 턴온 및 턴오프 손실이 650kHz 시뮬레이션에 비해 두 배에 달했다. Q1의 RMS 스위치 전류는 동일하게 유지되어 도통 손실이 크게 변하지 않았다.

Q1의 손실 만을 고려하면, 스위칭 주파수를 두 배로 늘리면, 최소 1.2%의 효율 저하가 발생하게 된다. 변환율이 높아지면, 효율에 미치는 영향은 훨씬 더 커진다. 이러한 결과를 통해 이 방법이 크기 감소 및 전력 처리량 증가를 위한 최선책이 아님을 알 수 있다. 전력 솔루션의 크기를 줄이면서도 유의미한 출력 파워 성능을 달성하기 위해서는 스위칭 손실을 해결하여 스위칭 주파수를 높여야 한다.

그림 5. ZVS 벅 토폴로지

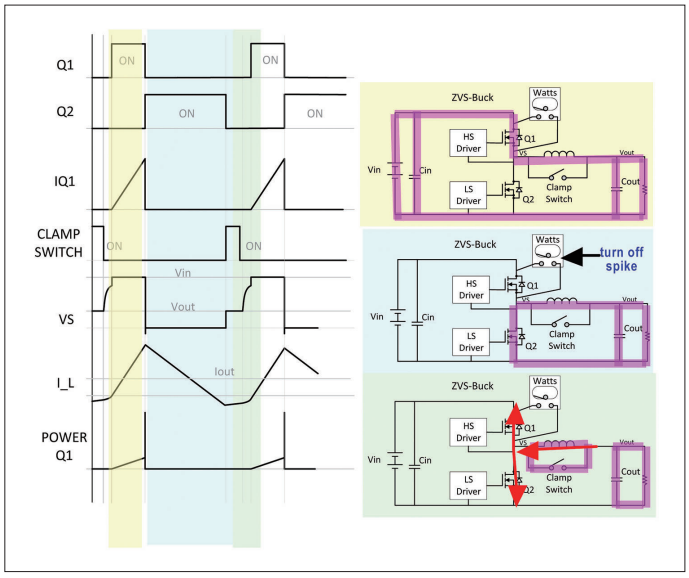


ZVS 토폴로지

그림 5는 ZVS 벅 토폴로지의 회로도를 나타낸 것이다. 개략적으로 이는 출력 인덕터와 병렬로 연결되는 추가 클램프 스위치를 제외하고는 기존의 벅 레귤레이터와 동일하다. 추가된 클램프 스위치는 출력 인덕터에 저장된 에너지를 사용하여 영전압 스위칭, ZVS를 구현할 수 있도록 해준다.

ZVS 벅 토폴로지는 기본적으로 3가지 주요 상태로 구성된다. 이는 Q1 위상과 Q2 위상, 그리고 클램프 위상으

그림 6. ZVS 벅 타이밍 다이어그램



로 정의된다. ZVS 동작이 어떻게 이뤄지는지 이해하기 위해서는 Q1이 거의 제로 전압에서 턴온된 다음, 공진 전이가 이뤄진다고 추정하면 된다. Q1은 제로 전류에서 턴온되고, 이때 D-S 전압도 거의 제로가 된다. 전류는 MOSFET 및 출력 인덕터에서 Q1의 온타임과 인덕터 양단의 전압 및 인덕터 값에 의해 결정되는 피크 전류로 상승한다. Q1 위상 동안 에너지는 출력 인덕터에 저장되며, 전하가 출력 커패시터에 공급된다. 노란색으로 표시된 영역은 Q1 위상에 해당하는 등가 회로 및 전류 흐름을 보여준다. Q1 위상 동안 Q1의 전력 손실은 대부분 MOSFET 온저항으로 인해 발생한다. 스위칭 손실은 거의 무시할 수 있는 수준이다.

다음으로 Q1이 빠르게 턴오프되고, 10ns 미만의 매우 짧은 바디 다이오드 도통 시간이 이어진다. 이 바디 다이오드 도통 시간으로 인해 전력 손실이 추가되지만, 무시할 수 있는 수준이다. 바디 다이오드로 전류가 정류되는 동안 Q1은 피크 인덕터 전류에 비례하여 턴오프 손실이 발생한다. 다음으로, Q2가 턴온되고, 출력 인덕터에 저장된 에너지가 부하 및 출력 커패시터로 전달된다. 인덕터 전류가 0에 도달하면, 동기식 MOSFET Q2가 출력 커패시터에서 출력 인덕터에 에너지를 저장할 수 있을 정도로 길게 유지된다. 이는 인덕터 전류가 약간 네거티브가 되는 것으로 나타난다. 위상 Q2와 등가 회로는 파란색 음영 영역에서 확인할 수 있다.

컨트롤러가 인덕터에 충분한 에너지가 저장되었다고 판단하면, 동기식 MOSFET이 꺼지고, 클램프 스위치가 켜지면서 Vs 노드가 VOUT에 클램핑 된다. 클램프 스위치는 전류가 거의 손실되지 않는 방식으로 저장된 에너지를 순환시키면서, 출력에서 출력 인덕터 전류를 격리한다. 클램프 위상 시간(매우 작음) 동안 출력은 출력 커패시터에 의해 공급된다.

클램프 위상이 종료되면, 클램프 스위치가 오픈된다. 출력 인덕터에 저장된 에너지는 Q1 및 Q2 출력 커패시턴스의 병렬 조합으로 공진하여 Vs 노드가 VIN으로 상승되도록 한다. 이 전압 상승은 Q1 출력 커패시턴스를 방전하고, Q1의 밀러 전하를 약화시키며, Q2의 출력 커패시턴스를 충전한다. 이를 통해 Vs 노드가 거의 VIN과 동일하게 되고, 무손실 상태로 Q1 이 켜지게 된다. 공진 전이 및 등가 회로를 비롯한 클램프 위상 동작은 녹색 영역에 나타나 있다. 여기에서 중요한 점은 핑크색 전류 루프에서 보여지는 것처럼, 스위치가 켜져 있으면 전류가 순환하고, 빨간색 화살표로 나타낸 것처럼 스위치가 꺼져 있으면 전류가 흐른다는 것이다.

이 토폴로지는 몇 가지 중요한 방법으로 이전에 언급한 제한사항을 해결한다:

① 클램프 위상이 있는 한, 하이-사이드 MOSFET이 켜지기 전에 높은 역회복 전류를 필요로 하는 바디 다이오드 도통이 없다.

② 턴온 손실은 거의 완전히 제거된다.

③ 하이-사이드 MOSFET 게이트 드라이브는 기생 인덕턴스 LSHS의 영향을 받지 않는다. 밀러 효과는 ZVS 동작과 턴온 전류 슬러그 부족으로 턴온 시 하이-사이드 MOSFET에서 제거된다. 이렇게 하면, 하이-사이드 게이트 드라이버가 작아지고, 전력소모도 줄어든다. 하이-사이드 MOSFET은 특별히 고속으로 턴온할 필요가 없기 때문에 매끄러운 파형을 만들고, 노이즈를 줄일 수 있다.

비교 시뮬레이션

그림 7은 이전의 기생 인덕턴스 값을 사용한 ZVS 벅 토폴로지 회로도를 나타낸 것이다. 1.3MHz에서 8A로 동작하는 동일한 36V ~ 12V 변환 레귤레이터로 시뮬레이션을

그림 7. 기생 인덕턴스가 있는 ZVS 벅

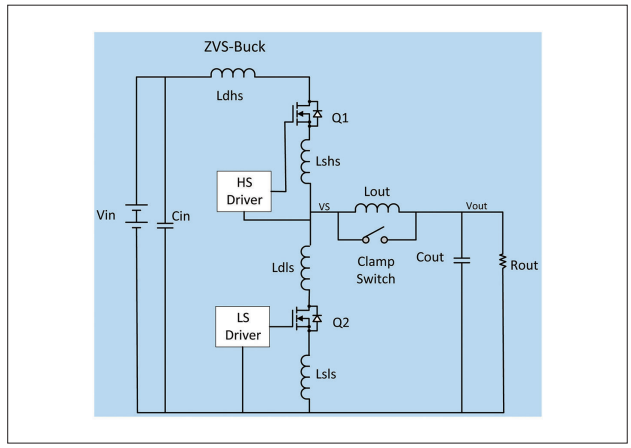
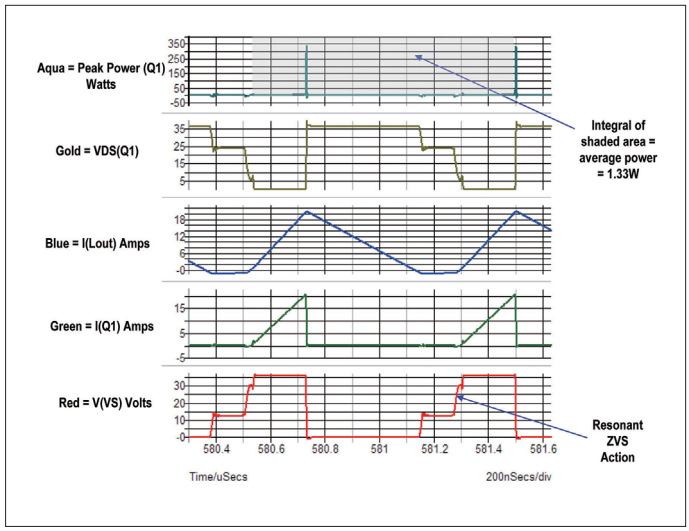


그림 8. ZVS 벅 시뮬레이션 파형



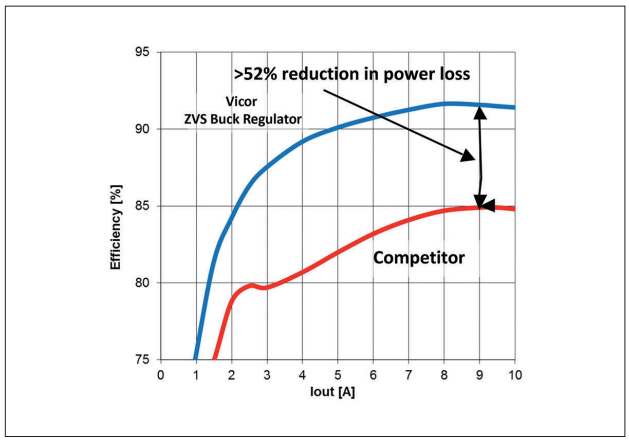
실행하여 하이-사이드 MOSFET의 손실을 이전 설계 값과 비교했다. ZVS 벅은 230nH 인덕터와 이전 시뮬레이션에서 사용한 것과 동일한 MOSFET 및 게이트 드라이버 특성을 사용했다.

그림 8은 1.3MHz에서 실행되는 ZVS 벅 토폴로지 시뮬레이션 결과와 하이-사이드 MOSFET, Q1에 해당하는 순시 전력 곡선을 나타낸 것이다. 스위칭 손실과 도통 손실을 비롯한 평균 전력 손실은 하이-사이드 MOSFET Q1에서 1.33W로 측정되었으며, 이는 절반의 스위칭 주파수에서 동작하고, 보다 큰 인덕터를 사용하는 기존의 레귤레이터에 비해 훨씬 낮은 수치이다. 1.3MHz에서 두 설계 시뮬레이션 결과를 비교하면, 1.37W에 비해 하이-사이드 MOSFET에서 전력소모 절감 효과가 훨씬 크다는 것을 알 수 있다. **그림 8**의 전력 곡선을 보면, 턴온 손실이 거의 0에 가깝고, 턴온 시 Q1에 고전류 스파이크가 없다는 것을 확인할 수 있다. 또한 Q1이 켜지기 전에 바디 다이오드 도통이 없으며, Q2 바디 다이오드의 역회복 손실을 비롯한 역회복 효과가 없는 것을 알 수 있다.

이 그림은 LOUT로 링잉되는 두 MOSFET(Q1 및 Q2)의 출력 커패시턴스를 병렬로 조합한 공진 전이 ZVS 동작을 보여준다. 또한 Q1의 턴온이 정확히 0V에서 발생하지 않는다는 것을 알 수 있다. 일반적으로 클램프 위상에서 순환이 필요한 저장된 에너지 양을 줄이기 위해 일부 잔류 전압으로 Q1을 스위칭함으로써 전반적으로 최상의 효율을 얻을 수 있다. 정확하게 0V에서 Q1을 스위칭함으로써 전력절감 대비 클램프 위상 관련 손실 최소화라는 트레이드오프가 발생한다. 또한 게이트 드라이버 턴온 손실은 ZVS 동작의 결과로 발생하는 밀러 전하를 제거함으로써 이득을 얻을 수 있다. 이 드라이버는 Q1의 G-D 커패시턴스를 방전할 필요가 없기 때문에 하이-사이드 드라이버의 손실을 줄일 수 있다. 또한 드라이버가 턴온 시 더 적은 전하를 공급하고, LSHS에 에너지를 저장하는 고전류 슬러그가 없기 때문에 하이-사이드 드라이버는 턴온 시 기생 인덕턴스 LSHS에 대응해 동작할 필요가 없다.

그림 9는 24VIN에서 2.5VOUT(9.6:1), 10A 설계에서 현재의 경쟁 하드 스위칭 솔루션과 ZVS 벅 토폴로지의 성능 차이를 나타낸 것이다. 전체 부하에서 효율 차이는 약 6.5% (경부하 효율에서도 상당한 차이가 있음)이며, 9A 측정 지점에서 전력 손실은 52% 이상 크게 향상되었다.

그림 9. 경쟁 솔루션과 ZVS 벅 9.6:1 스텝다운 24V~2.5V @ 10A 성능 비교



부가적인 이점

ZVS 벅 토폴로지를 바이코(Vicor)의 고성능 실리콘-컨트롤러 아키텍처와 통합하여 넓은 입력 범위를 갖춘 DC-DC 레귤레이터인 PI33xx 제품군이 개발되었다. 이 DC-DC 솔루션은 출력 인덕터와 몇 개의 세라믹 커패시터만

추가하면, 완벽한 전력 시스템 구성에 필요한 모든 회로를 포함하는 10mm x 14mm SiP로 구성된다. 이 제품은 높은 스위칭 주파수를 통해 매우 작은 인덕터를 사용하고, 솔루션의 전체 크기를 경쟁 통합 솔루션에 비해 더 작게(25mm x 21.5mm) 구현할 수 있으며, 최대 효율 98%로 최대 120W의 출력 파워를 생성할 수 있다. PI33xx는 20ns의 최소 온타임과 10A 부하로 36V 입력에서 1V 출력까지 동작할 수 있으며, 효율은 86%를 초과하고, 1V ~ 15V 출력 전압 범위에서 출력 전류가 감소하지 않는다.

첨단 실리콘과 ZVS 벅 토폴로지의 결합으로 넓은 입력 범위와 고효율은 물론, 부가적인 이점 또한 제공한다. ZVS 토폴로지는 게인 슬로프가 -1이고, 위상 전이가 90°인 제어-출력(Control-to-Output) 전달함수를 가지고 있어 기본적으로 안정적이기 때문에 높은 스위칭 주파수를 통해 매우 넓은 대역폭의 피드백 루프를 구현할 수 있다. PI33xx는 외부 보상이 필요하지 않다.(일부는 추가할 수 있음) 일반적으로 폐루프 크로스오버 주파수는 55°의 위상 마진과 20dB의 게인 마진이 있는 100kHz이다. 높은 폐루프 게인과 작은 출력 인덕터를 통해 폐루프 출력 임피던스를 넓은 주파수 범위에서 낮게 유지할 수 있다. 그 결과 매우 빠른 과도응답과 20µs ~ 30µs에 이르는 회복시간을 달성할 수 있어 적정한 세라믹 출력 커패시턴스 값을 사용하고, 추가 벌크 스토리지 커패시터를 사용할 필요가 없다. 매우 정확한 입력 피드-포워드(Feed-Forward) 방법을 사용하면, 오류 증폭기 출력 전압에 출력 부하 요건을 정확하게 반영할 수 있다. 이를 통해 스위칭 소자들을 병렬로 연결하여 출력 파워를 증가시키는 매우 간단한 전류 공유 방법을 구현할 수 있다. 부하를 정확하게 공유하기 위해서는 각 PI33xx 오류 증폭기와 단일 연결만 수행하면 된다. 사용자가 장치가 서로 추적하고, 함께 동기화되기를 원하는 경우, 추가 연결을 만들 수도 있다.

PI33xx는 인터리빙을 사용하여 병렬로 최대 6개의 유사 모델과 동기화할 수 있다. PI33xx는 거의 이상적인 동기식 정류 드라이브를 갖추고 있어 하이-사이드 MOSFET의 턴오프와 동기식 MOSFET의 턴온 사이에 단 한자리 수 나노초에 이르는 바디 다이오드 정류시간을 달성할 수 있다. 이는 바디 다이오드의 도통 손실과 하이-사이드 MOSFET의 턴오프 손실을 줄이는데 도움이 된다. PI33xx는 높은 부하에서 고효율의 이점을 제공하는 것은 물론, 매우 높은 효율의 바이어스 시스템과 펄스-스키핑 모드(Pulse-Skipping Mode)를 사용하여 탁월한 경부하 효율 또한 달성할 수 있다. **그림 9**에서 확인할 수 있다.

유연성

제로 전압 스위칭을 활용한 고성능 실리콘-컨트롤러 아키텍처는 부스트 토폴로지 및 벅-부스트 토폴로지와 같은 다른 토폴로지에도 적용할 수 있으며, 전원 스위치만 재배치함으로써 유사한 이점을 얻을 수 있다. 이를 통해 거의 모든 전력변환 조합에서 고효율 및 더 높은 입력 전압을 처리할 수 있으며, 낮은 스위칭 손실과 높은 전력 처리량을 달성하고, 솔루션 크기를 줄일 수 있다.

결론

이 글은 높은 입력 전압과 스위칭 주파수에서 기존의 벅 토폴로지를 실행할 때 발생하는 문제들을 살펴보았다. 높은 주파수 및 입력 전압에서 동작하는 벅 컨버터는 이중 변환 단계를 제거하고, 높은 효율로 더 넓은 입력 범위에 걸쳐 사용할 수 있기 때문에 전체 전력 시스템 솔루션의 크기를 줄이는데 유리하다. 더 높은 스위칭 주파수에서 동작하기 위해서는 하이-사이드 MOSFET의 턴온 손실을 줄이거나 제거해야 한다.

ZVS 벅 토폴로지는 전력 처리량을 줄이지 않고도 필요한 크기를 줄일 수 있는 방안으로 제시되었다. 새로운 PI33xx 제품은 바이코의 고성능 실리콘-컨트롤러 아키텍처를 활용하여 높은 전력 처리량과 효율로 8V ~ 16V에 이르는 넓은 입력전압 범위에서 1V, 2.5V, 3.3V, 5V, 12V, 15V와 같은 다양한 출력까지 처리할 수 있는 필요한 모든 기능을 갖추고 있다. 또한 동일한 고성능 실리콘 컨트롤러 아키텍처를 사용하여 일반적으로 부스트 또는 벅-부스트 토폴로지로 수행되는 하드 스위칭 애플리케이션을 처리할 수 있으며, 전력 처리량과 밀도를 크게 향상시킬 수 있다. SN