

작지만 강력한 성능의 MCU를 최적화하는 방법

이 문서에서는 패키징과 아날로그 부품의 통합이 임베디드 프로세서의 성능을 저하시키지 않으면서 크기를 줄이는 데 어떻게 도움이 되는지, 그리고 최적화된 패키징이 제조 공정에 미치는 영향이 무엇인지 살펴본다.

글 | Alex Grudzinski, TI

제 첫 번째 휴대폰은 핫핑크 플립폰이었다. 전화만 할 수 있었지만 그래도 당시에는 흥미로운 기술이었다. 오늘날에도 여전히 휴대폰은 흥미롭지만, 고해상도 화면, 더 긴 배터리 수명, 더 빠른 처리 속도, 특히 더 작은 폼 팩터 등 새로운 휴대폰이 나올 때마다 더 많은 기능을 기대하게 된다.

필자만 그런 것이 아니고, 대부분의 소비자들은 휴대폰, 헤드폰, 스마트워치, 심지어 헤어 드라이어에서도 크기와 기능 면에서 계속된 발전을 기대한다. 비용, 크기 또는 기능 개선이 없다면 대부분의 소비자는 이미 소유하고 있는 제품을 차세대 제품으로 교체하지 않을 것이다.

더 작고 기능이 많은 전자 제품을 향한 추세는 임베디드 시스템 설계자에게도 영향을 미친다. 따라서 이들은 시스템 기능과 성능을 높이는 동시에 전반적인 시스템 크기와 비용을 줄이는 데 중점을 두게 된다.

임베디드 시스템 설계자를 위해 TI를 비롯한 반도체 제조업체들은 기능이 풍부하고 크기가 작은 MCU(마이크로 컨트롤러)와 임베디드 프로세서를 개발하고 있다. 이러한

장치들은 PCB(인쇄 회로 기판)의 공간을 덜 필요로 하는 최적화된 패키징이 특징이다. 덕분에 더 많은 부품과 더 큰 배터리를 넣을 수 있어 작동 수명을 연장할 수 있다. 패키징 내에서도 장치의 설계가 진화하고 있다. 수많은 아날로그 부품이 통합되어 개별 부품의 필요성을 줄이면서 기능을 확대하고 있다.

이 문서에서는 패키징과 아날로그 부품의 통합이 임베디드 프로세서의 성능을 저하시키지 않으면서 크기를 줄이는 데 어떻게 도움이 되는지, 그리고 최적화된 패키징이 제조 공정에 미치는 영향이 무엇인지 살펴본다.

패키징

패키징 혁신은 반도체에서 사람의 눈에 보이는 몇 안 되는 개선 중 하나이다. 패키지 크기를 줄이기 위해 반도체 제조업체는 기존 리드 옵션에서 고급 패키징 옵션으로 전환하여 불필요한 플라스틱 케이스와 리드를 없앨 수 있다. 이러한 패키징 옵션의 크기는 다이의 크기와 직접 관련이 있으

그림 1. 20핀 0.8mm QFN 패키지

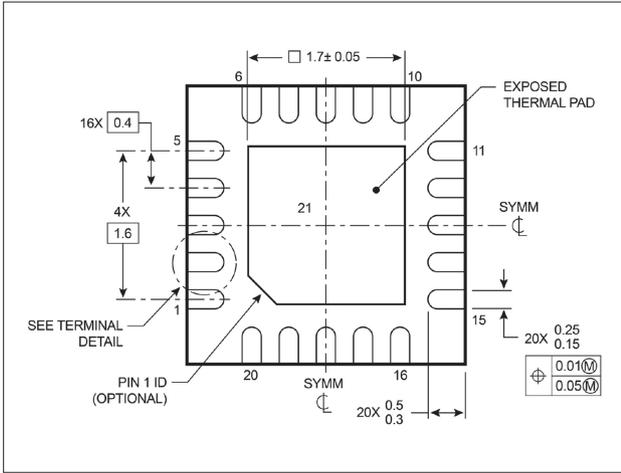
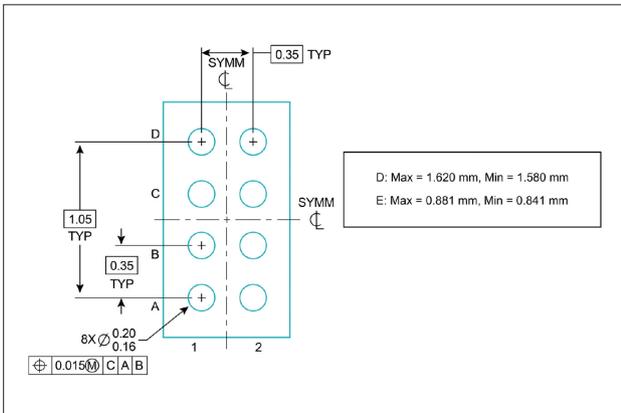


그림 2. MSPM0C1104 8볼 WCSP 패키지(공칭 1.50 x 0.86mm, 두께 0.35mm)



며, 의도한 기능을 달성하는 데 필요한 영역을 줄일 수 있다.

TI는 임베디드 프로세싱 포트폴리오에서 몇 가지 미니어처 패키지를 제공한다.

- **QFN(Quad Flat No Lead):** 기존의 리드 대신, QFN 패키지는 열 성능을 개선하기 위해 플라스틱 케이스 가장자리 주변의 평평한 접촉부와 하단에 노출된 열 패드로 구성되어 있다. 그림 1은(는) MSPM0C1104의 패키지 모습이다. 이는 크기가 9mm²에 불과한 20핀 마이크로컨트롤러이다.
- **WCSP(웨이퍼 칩 스케일 패키지):** 이 패키지들은 다른 종류의 패키지에 비해 가장 작

은 폼 팩터를 가지고 있다. 솔더 볼 배열이 실리콘에 직접 연결되므로 패키지 크기가 실리콘 다이와 동일하게 된다(그림 2 참조). 8개의 솔더 볼을 1.38mm² 크기로 맞추면 평방 밀리미터당 더 많은 기능을 통합할 수 있다. MSPM0C1104는 경쟁 장치보다 38% 더 작은 WCSP로도 제공되는, 세계에서 가장 작은 MCU이다.

통합 제한된 보드 공간을 해결하는 또 다른 방법은 장치의 기능 통합을 최적화하는 것이다. 각각의 플라스틱 패키징, 리드 및 필요한 레이아웃 공간이 있는 부품은 통합 기능을 갖춘 단일 칩보다 훨씬 더 많은 보드 공간을 차지할 수 있다.

소형화를 추진하는 과정에서 아날로그 및 디지털 주변 기기가 통합된 MCU와 프로세서가 유용할 수 있다. 펄스 옥시미터를 예로 들어 보겠다. 그림 3에서 볼 수 있는 개별 설계 방식과 비교했을 때 ADC(아날로그-디지털 컨버터), 콤퍼레이터, 전압 레퍼런스를 MCU에 통합하면 그림 4에서처럼 필요한 부품 수를 줄이고 PCB 크기를 줄일 수 있다.

MCU에 통합할 기능을 선택하려면 몇 가지 절충안을 선택해야 한다. 기능을 통합하면 설계의 부품 수를 줄일 수 있지만, 불필요한 기능을 넣으면 의도와 반대로 칩 솔루션의 크기가 늘어날 수 있다.

그래서 기능 최적화가 매우 중요하다. 추가되는 주변 기기는 다이 크기 및 장치의 비용과 직접적인 관련이 있다. 활용되지 않는 기능은 공간과 비용을 낭비하고 공간 제약이 있는 설계의 효율성을 저하시킬 수 있다. 시장의 진정한 요구 사항을 이해하면 비용과 크기가 경쟁력 있는 임베디

그림 3. 개별 아날로그 부품을 사용한 펄스 옥시미터 설계

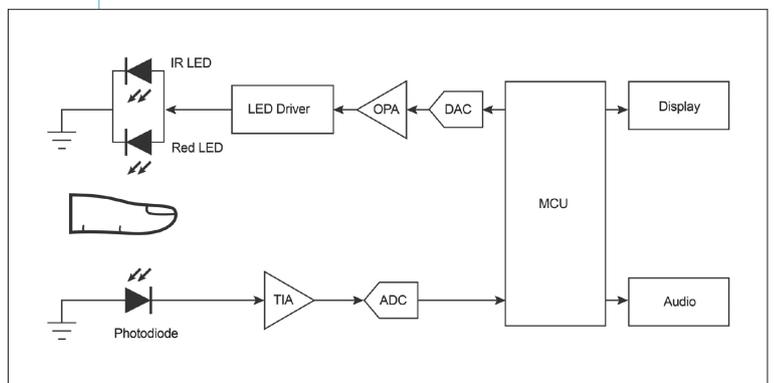
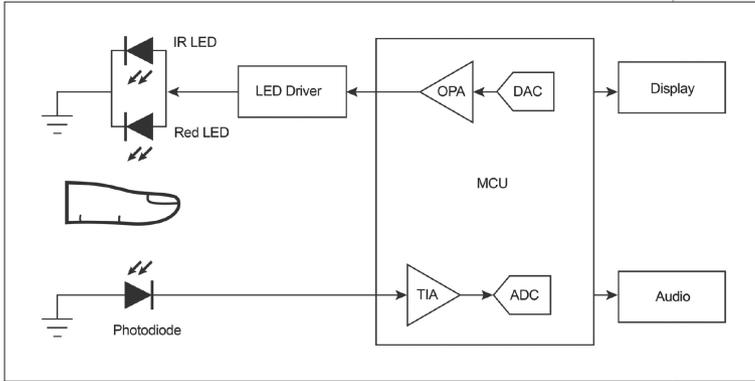


그림 4. 통합 부품을 사용한 펄스 옥시미터 설계



드 솔루션을 만들 수 있다. 예를 들어, MSPM0C1104 8볼 WCSP는 작을 뿐만 아니라 다양한 통합 기능과 부품을 갖추고 있다. 이 장치는 1.38mm² 패키지에 16KB 플래시 메모리, 채널 3개를 갖춘 12비트 ADC, 타이머 3개를 가지고 있다. 엔지니어가 MSPM0C1104와 같은 장치를 사용하여 평방 밀리미터당 기능 수를 최적화하면 설계의 다른 측면에 더 많은 노력을 기울일 수 있다.

그림 5은(는) 무선 이어버드 옆에 WCSP의 MSPM0C1104를 놓고 크기를 비교한 것이다.

물리적 통합 회로가 작아짐에 따라 설계 및 생산 방식도 진화했다. 더 작은 전기 부품을 사용하면 PCB 크기를 최소화하는 데 도움이 되며, 레이아웃, 취급 및 생산 흐름에도 영향을 미친다.

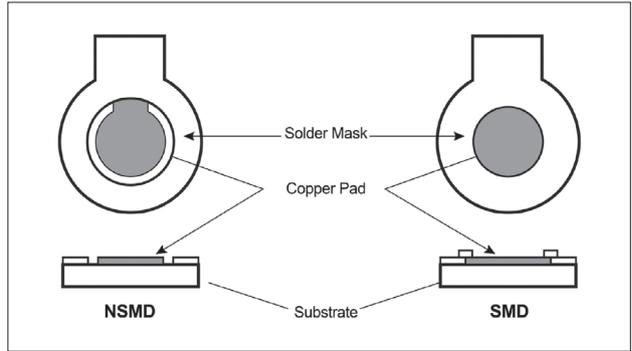
그림 6에 나와 있는 것처럼 칩 스케일 패키지를 설계할 때는 두 가지 유형의 PCB 랜드 패턴인 SMD(솔더 마스크 정의)와 NSMD(비솔더 마스크 정의)가 유용하다. SMD 유형은 기판과 겹치는 더 큰 구리 패드가 있으며, NSMD 유형에는 더 작은 치수의 구리 패드가 있다. NSMD 유형 패드는 칩 스케일 패키지에서 향상된 균일한 커버리지, 개선된 라우팅, 감소된 스트레스를 제공한다.

부품 배치와 취급도 어려울 수 있다. 반도체 및 제품 제조업체의 경우 제조에 사용되는 픽 앤 플레이스 기계와 진공 펜이 WCSP 및 BGA 패키지의 노출된 다이에 손상을 줄 위험을 최소화한다. 배치 정확도를 높이기 위해 픽 앤 플레이스 기계의 비전 시스템은 패키지 윤곽이나 개별 범프를 찾을 수 있다. 솔더 범프 지오메트리를 사용하면 PCB 패드에서 자체

그림 5. MSPM0C1104와 무선 이어버드 간의 크기 비교



그림 6. NSMD 및 SMD PCB 랜드 패턴



중심 조정과 보정이 가능하다. 전기 부품의 크기가 줄어들면서 제조 기계는 이를 보완하기 위해 발전해 왔다.

결론

혁신은 주기적으로 이루어진다. 소비자들은 항상 가볍고 기능이 집약된 제품을 기대하고 있다. 엔지니어들은 장단점의 균형을 맞추는 방식으로 설계를 하고 있다. 그리고 반도체 산업은 패키지와 기능 옵션을 최적화하기 위해 진화하고 있다. 현재 세대의 제품이 출시되자마자 이미 팀들은 모여 다음 세대의 제품에 대해 논의한다. 그리고 이 주기는 반복된다.

TI가 반도체를 소형화하기 위해 노력하는 부분에는 선택적 기능 통합, 패키지 최적화 및 제조 발전 등이 있으며, 이를 통해 축소되는 세계에서 제품을 설계하는 엔지니어에게 더 많은 옵션과 가능성을 제공하고 있다. 