

# 액티브 클램프 플라이 백 설계를 최적화하는 방법

고주파수 스위칭에도 플라이백 토폴로지를 최적화하여 효율성을 훨씬 높일 수 있는 새로운 방법이 있다. 이 기사에서는 제로 전압 스위칭(ZVS)이 가능한 액티브 클램프 플라이백 토폴로지로서 전력 밀도를 높일 수 있는 구조를 설명하고, 보다 효율적인 향상을 위해 토폴로지를 최적화하는 2가지 방법을 소개하려고 한다. 그 중 하나는 스위치 노드 커패시턴스를 줄이고 다른 하나는 2 차 공진 회로를 사용하는 것이다.

글 | Sarmad Abedin, TI

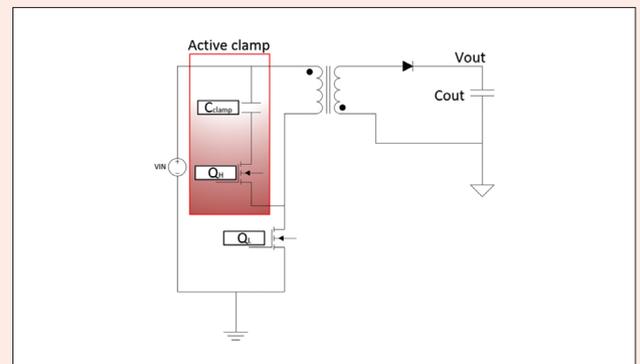
보다 소형의 패키지로 보다 처리 성능이 높은 디바이스가 점점 요구되고 있는 가운데, 요즘의 어느 전원에서도 가장 우선도가 높은 것이 전력 밀도이다. 절연 전원 토폴로지 중에서 가장 인기 있는 것은 플라이백이지만 기존의 플라이백에서는 누설 전류와 스위칭 손실로 인해 스위칭 주파수에 한계가 있어 솔루션의 소형화도 어려워지고 있다.

고주파수 스위칭에도 플라이백 토폴로지를 최적화하여 효율성을 훨씬 높일 수 있는 새로운 방법이 있다. 이 기사에서는 제로 전압 스위칭(ZVS)이 가능한 액티브 클램프 플라이백 토폴로지로서 전력 밀도를 높일 수 있는 구조를 설명하고, 보다 효율적인 향상을 위해 토폴로지를 최적화하는 2가지 방법을 소개하려고 한다. 그 중 하나는 스위치 노드 커패시턴스를 줄이고 다른 하나는 2 차 공진 회로를 사용하는 것이다.

기존의 플라이백 토폴로지의 효율이 제한되는 요인이 되는 부품 중 하나가 패시브 클램프이다. 이것은 스위치 노드와 입력 전압 사이에 배치된 저항/커패시터 다이오드(RCD) 회로를 가리키며, 변압기의 누설 인덕턴스를 놓치

고 1차 FET(전계 효과 트랜지스터)의 전압 스트레스를 완화하는 것이 목적이다. 문제는 누설 전류가 모두 쓸모없는 에너지가 되어 손실을 일으키는 것이다. 이 방법의 변형으로 자주 사용되는 것이 그림 1의 액티브 클램프 플라이백이다. 이 경우 패시브 RCD 클램프는 액티브 FET 및 클램프 커패시터로 대체된다. 이렇게 구성하면 누설 에너지를 커패시터에 축적하고 스위칭 사이클 후 단계에서 조심스럽게 출력으로 옮길 수 있으므로 효율이 향상된다.

그림 1. 액티브 클램프 플라이백



액티브 클램프를 이용하는 또 다른 이점은 클램프 FET를 통해 흐르는 전류를 양방향으로 할 수 있다는 것이다. 이것은 1차 FET(그림 1의 QL)의 ZVS를 가능하게 한다.

이 방법의 중요성을 이해하려면 먼저 QL의 스위칭 손실을 분석해야 한다. 스위치 노드(QL의 드레인)의 기생 커패시턴스를 방전할 때, QL의 턴온 손실(총 스위칭 손실의 대부분을 차지함)은 식 1에 의해 구해진다.

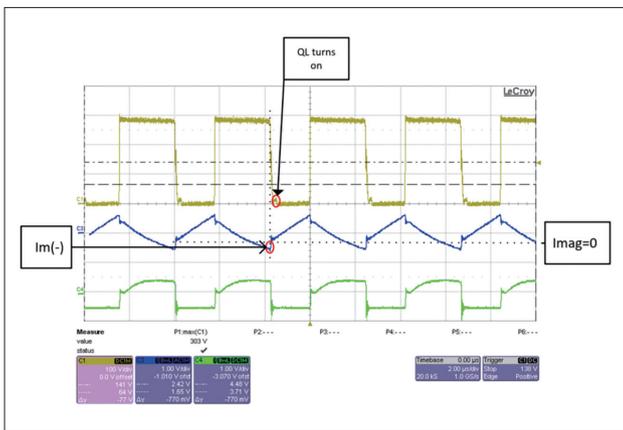
$$P_{LOSS_{SW}} = \frac{1}{2} \times C_{sw_{total}} \times (V_{sw})^2 \times f_{sw} \quad (1)$$

여기서  $C_{sw_{total}}$ 는 턴온 시의 스위치 노드의 총 용량,  $V_{sw}$ 는 턴온 시의 스위치 노드의 전압,  $f_{sw}$ 는 스위칭 주파수이다.

$V_{sw}$ 가 제로에 가까워지면 턴온시의 스위칭 손실이 사실상 없어지기 때문에, 스위칭을 고속화해도 스위칭 손실을 증가시키지 않는 것이 가능하게 된다. 액티브 클램프 플라이백이 전이 모드인 경우(그림 1의) QH를 사용하여 트랜스포머의 1차 권선의 마이너스 자화 전류를 축적한 다음 그 전류를 사용하여 스위치 노드 커패시턴스를 방전할 수 있다.

누설 에너지 외에도 클램프 커패시터는 자화 에너지의 일부를 축적한다. 그림 2에서 볼 수 있듯이 QH의 온 타임을 조정하면 마이너스 자화 전류  $I_{m(-)}$ 를 흐르고 0이 될 때까지 스위치 노드를 방전 한 다음 QL을 켤 수 있다.

그림 2.  $I_{m(-)}$ 를 축적하여 ZVS를 실현한다(황색:  $V_{sw}$ , 파랑: 1차 전류, 녹색: 2차 전류)



$I_{m(-)}$ 는 ZVS를 실현하기에 딱 좋은 양이어야 하며 과도해서는 안된다.  $I_{m(-)}$ 의 최소량은 식 2에 의해 구해진다.

$$I_{m(-)} = -\sqrt{\frac{C_{sw_{total}}}{L_m}} * V_{in} \quad (2)$$

음의 전류가 과도하면 코어 손실이 커지고 동작 주파수가 저하된다. 마이너스 전류의 양을 정확하게 제어하려면 TI의 UCC28780 과 같은 전용 컨트롤러가 필요하다.

$C_{sw_{total}}$ 을 최소화하는 것도 중요하다. 스위치 노드 커패시턴스가 증가하면 추가 음전류가 필요하므로 코어 손실이 증가한다. 식 3은 스위치 노드에서 볼 수 있는 총 용량의 주요 구성요소를 보여줍니다.

$$C_{sw_{total}} = C_{oss_{QH}} + C_{oss_{QL}} + C_{xfmer} + C_{D_{boot}} + C_{oss_{reflected}} \quad (3)$$

여기서  $C_{oss_{QH}}$ 는 클램프 FET(QH)의 총 출력 용량,  $C_{oss_{QL}}$ 는 1차 FET(QL)의 출력 용량,  $C_{xfmer}$ 는 트랜스포머의 기생 용량,  $C_{D_{boot}}$ 은 부트 다이오드의 기생 용량,  $C_{oss_{reflected}}$ 은 동기 정류 FET의 반사 출력 용량이다.

두 개의 1차 FET가 요소로서 가장 중요한 경향이 있기 때문에 이 부품을 선택할 때는 신중하게 고려해야 한다. ZVS를 사용하면 1차 FET(QL) 손실의 대부분은 전도 손실이 된다. 여기서  $R_{DS(on)}$ 이 사양으로 중요하지만,  $R_{DS(on)}$ 이 감소할 때는 그 대신에  $C_{oss}$ 가 증가한다. 그러면 스위치 노드 용량이 증가한다. 매우 낮은 온 저항을 선택해도 최적의 설계가 아니다. 50W ~ 100W의 액티브 클램프 플라이백 설계에서는 우선  $R_{DS(on)}$ 의 범위가 150~350mΩ의 QL을 선택하는 곳부터 시작하면 좋을 것이다.

설계에서 범하기 쉬운 실수는 QL과 QH 모두에 동일한 FET를 선택해 버리는 것이다. QH의 제곱 평균 제공근(RMS) 전류는 QL보다 낮기 때문에 상대적으로 높은 온 저항을 허용할 수 있다. 그림 3은 최적화된 FET와 매우 온 저항이 낮은 동일한 FET를 비교한 것이다. 이 그림에서 알 수 있듯이 효율성 향상과 전력 손실 감소를 상당한 저비용으로 달성 할 수 있다. 더 높은 효율이 필요한 경우 실리콘 FET 대신 질화 갈륨 FET를 사용하면  $C_{oss}$ 를 더욱 줄일 수 있지만 비용은 증가한다.

2차 공진이라고 하는 수법에 의해 QH의 RMS 전류를 삭감하는 것으로, 한층 더 효율 향상이 가능하다. 1차 공진에서 변압기의 자화 시간 동안 누설 인덕턴스는 클램프 커

그림 3. 최적화된 FET는 1/3 비용으로 효율성 향상과 전력 손실 감소 효과가 있음

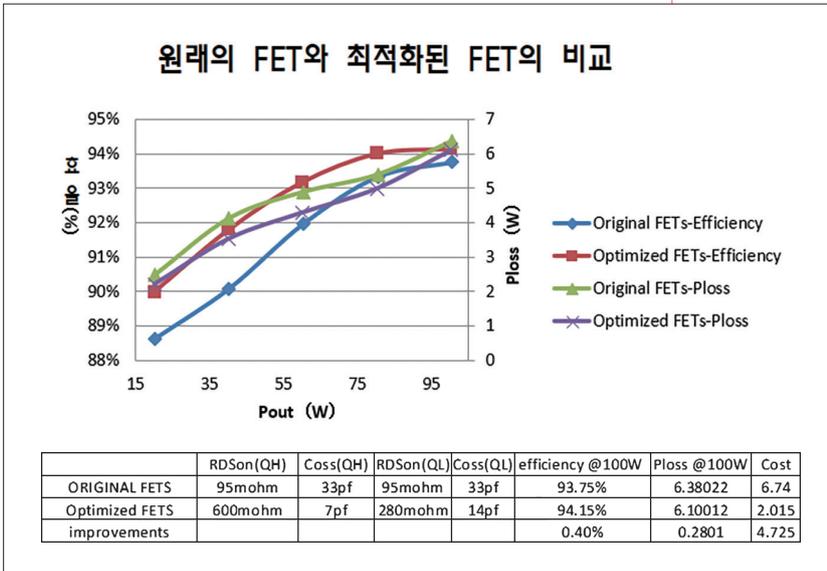


그림 4. 2차 공진이 추가된 회로

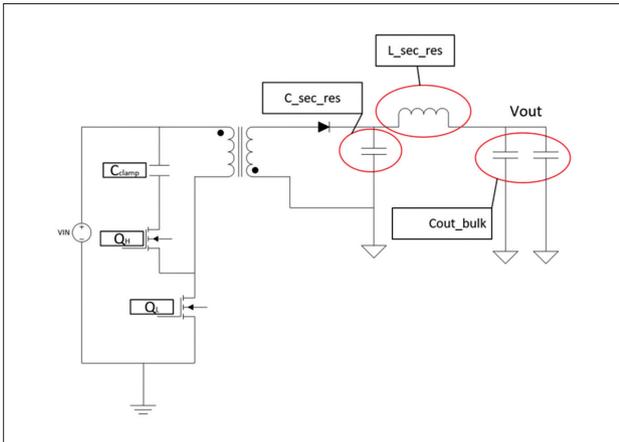
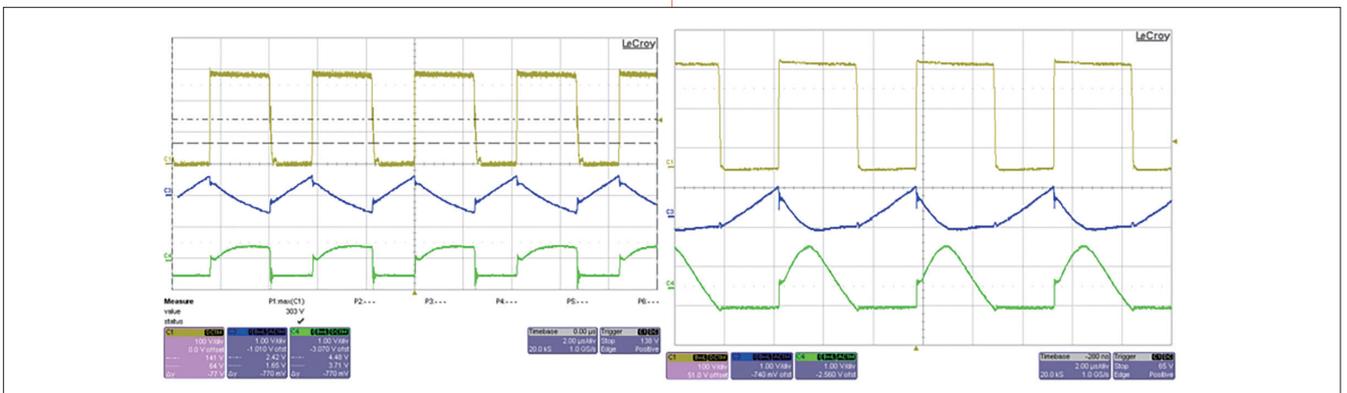


그림 5. 2차 공진에 의해 1차측의 전류가 감소한다(황색:  $V_{SW}$ , 청색: 1차 전류, 녹색: 2차 전류)



패시터에만 공진한다. 그림 4와 같이 2차 공진에서는 출력에 간단한 인덕터/콘덴서 필터를 사용하여 추가된 2차 공진 커패시터( $C_{sec\_res}$ )와 누설 인덕턴스를 공진시켜  $C_{Clamp} \gg C_{sec\_res} / (1차/2차 권선비)^2$ 가 되도록 한다.

그림 5는 동일한 회로에서 1차 공진(왼쪽 그림)과 2차 공진(오른쪽 그림)을 모두 사용한 것이다. 둘 다 정확히 동일한 사양이면서 2차 공진이 전류의 형태를 변화시키고 1차 RMS 전류를 감소시켰음을 분명히 알 수 있다. 2차 공진을 사용하면 변압기의 1차 권선과 QH 모두에서 전도 손실이 줄어든다. 입력 전압이 낮을 때 효율 향상이 크고, 이때 1차 전류는 최대이다. 대부분의 경우 2차

공진을 구현하면 90V AC에서 1%의 효율 향상을 얻을 수 있다.

적절하게 설계된 경우 액티브 클램프 플라이백을 사용하면 놀라운 효율과 전력 밀도를 얻을 수 있다. 중요한 것은 최적의 마이너스 전류에서 전이 모드 동작을 유지하는 컨트롤러를 사용하는 것이다.

다음으로 액티브 클램프 플라이백을 설계할 때 최적의 FET를 선택하여 스위치 노드 커패시턴스를 최소화하고 효율과 열 특성을 향상시키기 위해 2차 공진회로를 추가하는 것이 중요하다는 점을 기억하자. **SN**