

PLL을 사용해서 빠른 주파수 스위칭 달성

Ultrafast Frequency Switching Using a PLL

무선 통신 같은 애플리케이션에서는 흔히 PLL(phase-locked loop) 합성기의 출력 주파수를 아주 짧은 순간에 스위칭(전환)해야 할 필요성이 있다. 이러한 애플리케이션에서는 통상적으로 비교적 높은 주파수 점프에 대해서 20 μ s 이내에 안정적인 출력 주파수를 달성할 수 있어야 한다.

이 글에서는 Linear Technology의 LTC6946이 어떻게 이러한 요구를 충족하는지 설명한다.

글/Michel Azarian, Product Marketing Engineer, Mixed Signal Products, Linear Technology Corp.

무선 통신 같은 애플리케이션에서는 흔히 PLL (phase-locked loop) 합성기의 출력 주파수를 아주 짧은 순간에 스위칭(전환)해야 할 필요성이 있다. 이러한 애플리케이션에서는 통상적으로 비교적 높은 주파수 점프에 대해서 20 μ s 이내에 안정적인 출력 주파수를 달성할 수 있어야 한다. 이 글에서는 Linear Technology의 LTC6946이 어떻게 이러한 요구를 충족하는지 설명한다. LTC6946은 잡음과 스퓨리어스가 극히 낮은 0.37GHz~6.39GHz 정수-N PLL으로서 VCO를 통합하였다.

예를 들어서 20MHz 주파수 스텝에 대해서 가능한 가장 짧은 시간 내에 최종 주파수의 10kHz 이내로 안정화하려면 LTC6946의 파라미터들을 어떻게 선택할지 살펴보자. 이 예를 위해서는 LTC6946에 20MHz의 비교 주파수(위상-주파수 검출기 주파수, f_{PFD})를 사용할 수 있다. 그러므로 레퍼런스 입력 주파수(f_{REF})가 100MHz 라면 레퍼런스 분할기(R)를 5로 설정해야 한다.

어떤 PLL 시스템으로 안정적인 루프를 달성하기 위한 경험 원칙은 루프 대역폭(LBW)을 f_{PFD} 보다 최소한 10 배 낮게 하는 것이다. 그러므로 빠르게 안정화 되도록 최적화하기 위해서는 이 예의 경우 LBW를 2MHz로 설정할 수 있다. 이것은 LBW를 주파수 오프셋과 동일하게

Oftentimes, and specifically in wireless communications applications, the need arises for switching the output frequency of a PLL (phase-locked loop) synthesizer in a very short amount of time. In these cases, it is usually desirable to achieve a settled output frequency following a relatively large frequency jump in less than 20 μ s. In the following, we will discover how the LTC6946, an ultralow noise and spurious 0.37GHz to 6.39GHz integer-N PLL synthesizer with integrated VCO, can deliver such objectives.

To be more specific, let us pick the LTC6946 parameters such that its output is settled to within 10kHz from the final frequency in the shortest amount of time possible for 20MHz frequency steps. For this example, we can use a comparison frequency (phase-frequency detector frequency, or f_{PFD}) of 20MHz with the LTC6946. This means that if, for example, the reference input frequency (f_{REF}) is 100MHz, the reference divider (R) needs to be set equal to 5.

The rule of thumb for achieving a stable loop in a PLL system is to make the loop bandwidth (LBW) less

설정하는 것과는 대조적이다. 이렇게 하면 PLL의 대역 내 위상 잡음이 VCO의 위상 잡음과 교차함으로써 전반적인 위상 잡음 성능을 최적화할 수 있다.

예를 들어서 LTC6946-3을 사용해서 4GHz 출력 신호를 발생시키고자 했을 때, PLLWizard™ 소프트웨어 툴을 사용하면 LTC6946 주변의 회로를 구축하기 위해 필요한 필터 소자 값을 결정할 수 있다. PLLWizard는 LTC6946을 사용한 설계와 시뮬레이션을 돕기 위한 무료 툴로서 www.linear.com/pllwizard에서 이용할 수 있다.

PLLWizard GUI로 원하는 f_{PFD} 및 LBW 값을 입력하고 몇 번의 마우스 클릭만 하면 루프 필터 소자 값을 얻을 수 있다. 이에 따라서 LTC6946 회로를 설계할 수 있다. 그림 1의 화면은 PLLWizard 툴을 사용해서 어떻게 LTC6946 설계 작업을 간소화할 수 있는지 보여준다. 작업 결과가 적절한지 살펴보기 위해 특정한 조건에서 LTC6946의 예상되는 위상 잡음을 시뮬레이트 할 수 있다. 그림 1에서는 PLLWizard의 시뮬레이션 결과를 볼 수 있다.

그런 다음에는 회로를 구현하고 Keysight E5052A 신호 소스 분석기를 사용해서 위상 잡음을 측정했다. 그림 2는 이 측정 결과를 보여준다. 위의 시뮬레이션과 근접하게 일치한다는 것을 알 수 있다.

그러면 이번에는 3.98GHz에서 4.00GHz로 20MHz 스텝에 대해서 LTC6946의 출력 역이 얼마나 빠르게 최종 주파수 값의 10kHz 이내로 안정화 하는지 살펴보자. E5052A를 사용해서 그림 3과 같이 트랜션트 응답을 포착하였다.

위의 측정에서 E5052A 검출기 대역폭을 좁혀서 y 축을 확대해서 안정화 시간을 좀 더 세밀하게 살펴보자. 그림 4에서는 LTC6946의 출력이 15 μ s 이내에 최종 주파수 값의 10kHz 이내로 안정화한다는

than f_{PFD} by at least a factor of 10. Accordingly, and to optimize for fast settling, we can set the LBW equal to 2MHz in our example. This is as opposed to setting the LBW equal to the frequency offset, where the in-band phase noise of the PLL intersects the phase noise of the VCO to optimize for overall phase noise performance.

Let us pick the LTC6946-3 to produce a 4GHz output signal and use PLLWizard™ software tool to determine the filter component values required to build the circuit around the LTC6946. PLLWizard is a free tool available at www.linear.com/pllwizard to assist in the design and simulation of the LTC6946.

After entering the desired f_{PFD} and LBW values and performing a few mouse clicks in the PLLWizard GUI, we have the loop filter component values, which we can install in the LTC6946 circuit. The screenshot in Figure 1 shows how the PLLWizard tool streamlines the LTC6946 design process. To verify that our work is correct, we simulate the expected phase noise out of the LTC6946 under the given conditions. Figure 1 includes PLLWizard's prediction.

Next, we power up the circuit and take a phase noise measurement using a Keysight E5052A Signal Source Analyzer. Figure 2 shows the result of this measurement, which closely agrees with the

그림 1. PLLWizard 툴 설정과, 4GHz로 20MHz의 f_{PFD} 와 2MHz의 LBW를 사용해서 LTC6946 위상 잡음 시뮬레이션

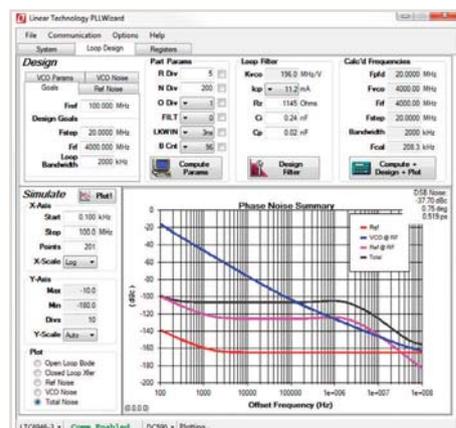


그림 2. Keysight E5052A 신호 소스 분석기를 사용해서 LTC6946 출력 위상 잡음 측정



그림 3. 20MHz 주파수 점프에 대해서 LTC6946의 출력 안정화

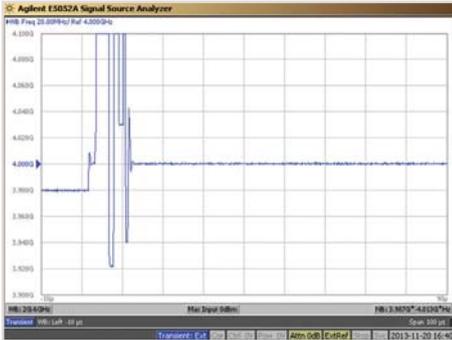
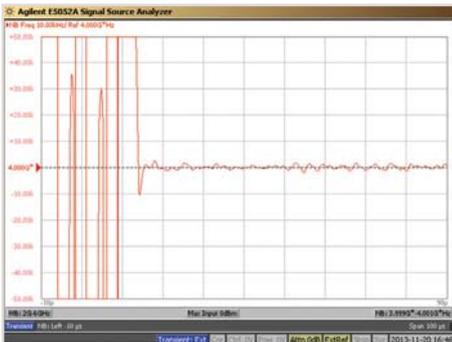


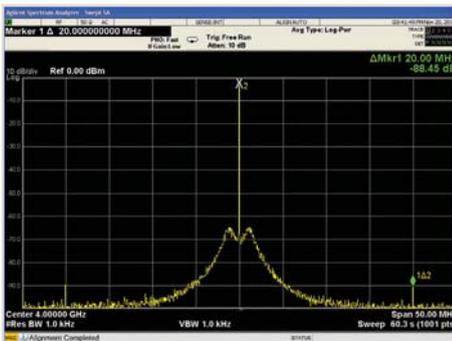
그림 4. 20MHz 주파수 스텝에 대해서 15µs 이내에 LTC6946 출력이 안정화한다.



해서 소요되는 시간이 주파수 스위칭 시의 안정화 시간 중에서 상당 부분을 차지한다. 그런데 LTC6946-3은 이 캘리브레이션 프로세스를 10µs 조금 넘는 시간 안에 하기 때문에 약 15µs의 총 안정화 시간을 달성할 수 있는 것이다.

그림 3과 그림 4에서는 VCO 캘리브레이션 시에

그림 5. LTC6946 출력 스펙트럼을 보면 4GHz 출력으로 2MHz 루프 대역폭을 사용해서 스퍼가 극히 낮다는 것을 알 수 있다.



것을 알 수 있다.

VCO를 통합한 최신 합성기 IC는 전체적인 출력 주파수 범위를 커버하기 위해서 다중의 내부 VCO 서브 밴드를 사용한다. 그러므로 합성기 IC 출력 주파수가 변화될 때마다 IC가 적절한 VCO 서브 밴드를 결정하기 위해서 내부 VCO 캘리브레이션 루틴을 실시해야 한다. 위의 예와 같이 PLL의 LBW가 비교적 높은 경우에는 이 캘리브레이션 프로세스를 완료하기 위

해서 소요되는 시간이 주파수 스위칭 시의 안정화 시간 중에서 상당 부분을 차지한다. 그런데 LTC6946-3은 이 캘리브레이션 프로세스를 10µs 조금 넘는 시간 안에 하기 때문에 약 15µs의 총 안정화 시간을 달성할 수 있는 것이다. 그림 3과 그림 4에서는 VCO 캘리브레이션 시에 LTC6946 출력 주파수가 점프하고 있다는 것을 알 수 있다. 이것은 설명을 위해서 일부러 이렇게 나타나도록 한 것이다. 대부분의 경우에는 출력 주파수가 이처럼 동작하는 것은 바람직하지 않다. LTC6946의

above simulation.

Now let us check how fast the output of the LTC6946 settles to within 10kHz of the final frequency value following a 20MHz step going from an output of 3.98GHz to 4.00GHz. The E5052A can capture the transient response, as depicted in **Figure 3**.

Let us zoom in on the y-axis by narrowing down the E5052A detector bandwidth in the measurement above to better pinpoint the settling time. **Figure 4** illustrates how the LTC6946's output is settled within 10kHz of the final frequency value in less than 15µs.

It should be noted that a modern synthesizer IC with an integrated VCO uses multiple internal VCO sub-bands to cover its entire output frequency range. Every time the synthesizer IC output frequency is changed, the IC must run an internal VCO calibration routine to determine the correct VCO sub-band. In cases where the LBW of the PLL is relatively large, as in our example, the amount of time required to finalize this calibration process constitutes a large portion of the settling time when switching frequencies. Thanks to the LTC6946-3's ability to run this calibration process typically in a little over 10µs, we were able to achieve a total settling time of about 15µs.

Figures 3 and 4 show that the LTC6946 output frequency jumps around during VCO calibration. This behavior is shown here for illustration reasons. In most practical cases, it is undesirable to have the output frequency behave like this. Leaving the "MTCAL" register set equal to "1" ("1" is the default value) on the LTC6946 takes care of this by muting the RF output during calibration. It is recommended that "MTCAL" is always set to "1".

You can follow and modify the steps in this article to determine the appropriate parameters to suit your application. The DC1705 (LTC6946 demo board)

'MTCAL' 레지스터를 '1'(디폴트 값)로 설정하면 캘리브레이션 시에 RF 출력을 뮤트(mute)시킴으로써 이 문제를 바로잡을 수 있다. 'MTCAL'을 항상 '1'로 설정할 것을 권장한다.

이 글에서 설명하는 단계를 따라서 자신의 애플리케이션에 적절한 파라미터를 결정할 수 있다. DC1705(LTC6946 데모 보드)는 다양한 필터 및 주파수 구성으로 PLL의 성능을 평가할 수 있는 포괄적인 개발 플랫폼을 제공한다. DC2026 Linduino® USB 컨트롤러 보드는 PLL 데모 보드와 PLLWizard GUI를 실행하는 PC 사이에 통신 인터페이스를 제공한다.

PLLWizard GUI를 사용해서 DC1705를 완벽하게 제어할 수 있다. 하지만 PLL IC를 빠르게 프로그램 하고 되도록 빠른 주파수 스위칭을 달성하기 위해서는 Linduino 코드를 작성하고 DC2026을 최대 SPI 인터페이스 속도로 실행할 수 있다. DC2026에 커스텀 코드를 사용함으로써 SPI 인터페이스를 통해서 PLL IC를 빠르게 프로그래밍할 수 있다. 또 필요하다면 Arduino IDE를 사용한 코드 개발 환경을 사용할 수 있다.

얼마나 빠르게 안정화하는지 위상 잡음 동작을 측정하였다. 루프 대역폭을 비교적 높게 하였기 때문에 스푸리어스 성능은 어떻게 될지 염려스러울 수 있을 것이다. 통상적인 합성기 IC를 사용하면 이러한 조건으로 스푸리어스 성능이 나빠질 것으로 예상할 수 있다. 하지만 LTC6946은 그렇지 않다. 2MHz 루프 대역폭과 20MHz의 f_{PFD} 로 -90dBc에 가까운 레퍼런스 스퍼(4GHz로 캐리어로부터 $f_{\text{PFD}} = 20\text{MHz}$ 오프셋에서의 불요 신호)를 달성한다는 것은 놀라운 것이다. 이것은 그림 5의 LTC6946 주파수 스펙트럼에서 확인할 수 있다.

LTC6946의 가장 큰 특징은 위상 잡음도 낮고 스푸리어스도 낮은 출력을 제공한다는 것이다. 이 글에서는 LTC6946을 사용함으로써 스푸리어스 성능을 떨어뜨리지 않으면서 극히 빠른 주파수 스위칭을 달성할 수 있다는 것을 설명하였다. LTC6946은 주파수 호핑 통신 애플리케이션에서 위상 잡음이 낮은 주파수 생성을 달성하고자 할 때 사용할 수 있는 뛰어난 솔루션을 제공한다. **SN**

provides a comprehensive development platform for evaluating the performance of the PLLs under a variety of filter and frequency configurations. The DC2026 Linduino® USB controller board provides the communications interface between the PLL demo board and the PC using the PLLWizard tool.

The PLLWizard GUI allows full control of the DC1705. However, to program the PLL IC in a very short amount of time to make the fast frequency switching possible, we will write some Linduino code and run the DC2026 at its maximum SPI interface speed. The use of the DC2026 along with the custom code is crucial to achieving the fast programming of the PLL IC via its SPI interface, while also providing a code development environment using the Arduino IDE if desired.

We have evaluated the phase noise behavior of our fast settling synthesizer. However, given we have made the loop bandwidth relatively high, one would question what happens to the spurious performance. One would expect the spurious performance to suffer under these conditions when using a typical synthesizer IC. This is not the case with the LTC6946. With a loop bandwidth of 2MHz and an f_{PFD} of 20MHz, achieving close to -90dBc reference spurs (unwanted signals at $f_{\text{PFD}} = 20\text{MHz}$ offset from the carrier at 4GHz) is remarkable, as the LTC6946 frequency spectrum presented in Figure 5 confirms.

The LTC6946 is known for its ability to generate low phase noise and low spurious outputs. Here we have demonstrated that it is possible to achieve ultrafast frequency switching with the LTC6946 without compromising the spurious performance. The LTC6946 is an excellent choice for low phase noise frequency generation in frequency hopping communications applications. **SN**